**实验四 译码器和数据选择器**

1. **实验目的**
2. 深入理解集成译码器和数据选择器的工作原理
3. 掌握集成译码器和数据选择器的使用方法
4. 了解译码器和数据选择器的常见应用
5. **实验仪器及材料**
6. FPGA开发套件及软件开发环境
7. 器件 74LS139 2-4线译码器

74LS153 双4选1数据选择器

74LS00 二输入四与非门

1. **实验内容**
2. 译码器功能测试

将74LS139译码器按图4.1引脚说明图接线，按表4.1输入电平分别置位，填写功能表

表4.1 译码器功能表

74LS139

1

2

3

4

5

6

7

8

16

15

14

13

12

11

10

9

1G VCC

1A 2G

1B 2A

1Y0 2B

1Y1 2Y0

1Y2 2Y1

1Y3 2Y2

GND 2Y3

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| 输入 | | | 输出 | | | |
| 使能 | 选择 | |
| G | B | A | Y0 | Y1 | Y2 | Y3 |
| H | X | X |  |  |  |  |
| L | L | L |  |  |  |  |
| L | L | H |  |  |  |  |
| L | H | L |  |  |  |  |
| L | H | H |  |  |  |  |

图4.1

1. 译码器转换

将2—4线译码器扩展为3—8线译码器

1. 画出转换电路图
2. 在开发环境下搭建电路并验证设计是否正确
3. 设计并填写该3—8线译码器功能表，画出输入输出波形
4. 数据选择器的测试及应用
5. 完成双4选1数据选择器74LS153功能测试；
6. 在仿真测试过程中，设置4个不同频率的数字脉冲信号作为数据输入，接到数据选择器4个数据输入端，将选择端置位，使输出端分别观察到4种不同频率脉冲信号。根据观察结果填写表4.2。
7. 分析上述实验结果并总结数据选择器的作用
8. 中规模组合逻辑电路设计：分别采用集成3－8译码器或四选一数据选择器完成一位全减器设计。

表4.2 数据选择器功能表

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| **选择端**  1  2  3  4  5  6  7  8  16  15  14  13  12  11  10  9  1G VCC  B 2G  1C3 A  1C2 2C3  1C1 2C2  1C0 2C1  1Y 2C0  GND 2Y  图3.2  74LS153 | | **数据输入端** | | | | **输出控制** | **输出** |
| **B** | **A** | **1C3** | **2C2** | **1C1** | **1C0** | **G** | **Y** |
| **X** | **X** | **X** | **X** | **X** | **X** | **1** |  |
| **0** | **0** |  |  |  |  | **0** |  |
| **0** | **1** |  |  |  |  | **0** |  |
| **1** | **0** |  |  |  |  | **0** |  |
| **1** | **1** |  |  |  |  | **0** |  |

1. **实验报告**

根据报告模板各部分内容撰写实验报告。实验结果记录须包括：

1. 根据实验内容整理实验结果，阐述译码器和数据选择器功能及特性。
2. 按照组合逻辑电路一般设计步骤，准确记录各步骤分析过程、设计内容。要求图、表绘制规范，内容清晰。
3. 对设计电路进行功能测试，记录测试数据，判断是否满足需求。要求原始实验结果记录，即仿真测试波形图和实际硬件环境运行结果的拍照、截图。
4. 数据的整理、分析，根据原始数据整理得到的真值表、时序图、状态转换图等，以及用输入、输出变量之间的逻辑关系分析描述。